

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-284231

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 10/152			H 0 4 B 9/00	L
10/142		9382-5K	H 0 3 M 5/10	
10/04				
10/06				
H 0 3 M 5/10				

審査請求 未請求 請求項の数6 O L (全 17 頁)

(21)出願番号 特願平8-91537

(22)出願日 平成8年(1996)4月12日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 大塚 芳廣

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

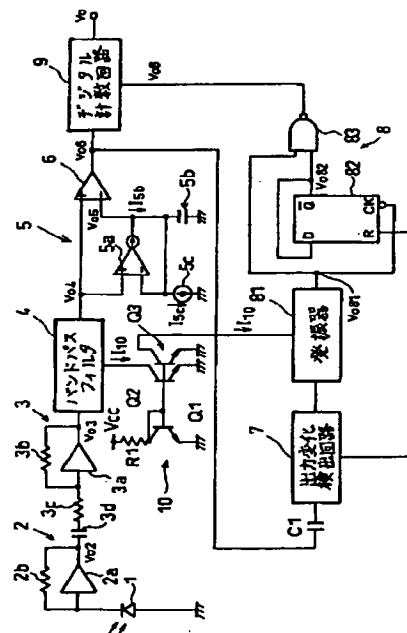
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 光信号復調装置

(57)【要約】

【課題】 送信したコード信号のパルス幅を正確に復調でき、誤動作を起こしにくい光信号復調装置を実現する。

【解決手段】 フォトダイオード1は、所定の周波数のパルスにて変調された光コード信号を受光する。受光した信号は、バンドパスフィルタ4にて、所定の周波数成分のみが弁別された後、積分回路5およびコンパレータ6にて、パルス状の信号 v_{in} に変換される。出力変化検出回路7は、パルス信号 v_{in} の立ち上がりを検出し、クロック生成部8へ伝える。クロック生成部8は、これに基づいて、該パルス信号 v_{in} と同期したクロック信号 v_{cl} を生成する。デジタル計数回路9は、上記クロック信号 v_{cl} をクロック信号として動作し、該信号 v_{in} に同期したパルス信号 v_{in} の数を数える。デジタル計数回路9は、パルス数が所定の数を越えた場合、該パルス信号 v_{in} に基づいてコード信号を復調する。



【特許請求の範囲】

【請求項1】特定周波数のパルスによって変調された光コード信号を受信する受光素子と、上記受光素子の検出信号から、上記特定周波数を弁別する弁別手段と、上記弁別手段の弁別信号をパルス信号に変換する変換手段とを有する光信号復調装置において、
 クロック信号を生成するクロック信号生成手段と、
 上記クロック信号生成手段が生成するクロック信号を上記パルス信号に同期させる同期制御手段と、
 上記クロック信号に基づいて動作し、該クロック信号に同期した上記パルス信号のパルス数を数え、数えたパルス数が所定の下限値を超えた場合、パルス数に応じたパルス幅のコード信号を出力する計数手段とを備えていることを特徴とする光信号復調装置。

【請求項2】上記クロック信号生成手段は、上記クロック信号の基本クロックを生成する発振器を備えており、該発振器には、上記同期制御手段の指示に応じて、出力をリセットするセトリセットフリップフロップ回路が設けられていることを特徴とする請求項1記載の光信号復調装置。

【請求項3】上記クロック信号生成手段は、上記発振器の出力を分周すると共に、上記同期制御手段の指示に応じてリセットされる分周器と、上記発振器の出力と当該分周器の出力とから、クロック信号を生成する出力部とを備えていることを特徴とする請求項2記載の光信号復調装置。

【請求項4】上記クロック信号生成手段の発振周波数と、上記弁別手段が弁別する周波数との双方を決定する外付け抵抗を備えていることを特徴とする請求項1、2、または3記載の光信号復調装置。

【請求項5】上記計数手段の下限値は、5以上に設定されていることを特徴とする請求項1、2、3、または4記載の光信号復調装置。

【請求項6】上記計数手段は、上記クロック信号にて動作する下限値に応じた段数のD型フリップフロップからなるシフトレジスタ回路と、該シフトレジスタ回路の出力に基づいて、コード信号を出力する出力論理回路とを備えていることを特徴とする請求項5記載の光信号復調装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、光リモコンなど、光通信デバイスに供され、特定周波数のパルスによって、変調された光コード信号を受信して復調する光信号復調装置に関するものである。

【0002】

【従来の技術】例えば、赤外線などの光を媒体にした光通信装置は、電波を用いた通信方式に比べて通信範囲を限定しやすく、混信しにくい点から、家電製品のリモコンなどとして、従来より広く使われている。近年では、

コンピュータなどの通信装置としても採用され、これからの発展が益々期待されている。

【0003】上記従来の光通信装置では、例えば、図示しない光信号送信装置が、図13の(a)に示すようなコード信号を、図13の(b)に示すように、特定の周波数のパルスによって変調し、パルス変調コード信号として送出している。図12に示す光信号復調装置において、フォトダイオード101は、当該パルス変調コード信号を光電流信号に変換する。また、前置アンプ部102は、該光信号を電流-電圧変換し(図13の(c)に示す v_{0101})、その後、ACアンプ部103は、当該 v_{0101} の交流成分を増幅する(図13の(d)に示す v_{0102})。

【0004】さらに、バンドパスフィルタ104は、定電流回路110から供給される電流により指定された周波数成分を、ACアンプ部103の出力信号 v_{0102} から弁別し、積分回路105は、バンドパスフィルタ104の出力信号 v_{0104} を積分する(図13の(e)参照)。コンパレータ106は、バンドパスフィルタ104の出力信号 v_{0104} および積分回路105の出力信号 v_{0105} を比較し、出力信号 v_{0106} が大きい期間、出力信号 v_{0106} をハイレベルに、小さい期間は、出力信号 v_{0106} をローレベルにする(図13の(f)参照)。

【0005】さらに、コンパレータ106の後段には、順方向に接続されたダイオード107aを介して、直列に接続された抵抗107bおよびコンデンサ107cからなる復調用積分回路107が設けられている。また、抵抗107bおよびコンデンサ107cの接続点には、所定の電流を吸収する放電用定電流源107dが接続されている。

【0006】これにより、コンデンサ107cは、上記コンパレータ106の出力電圧 v_{0106} がハイレベルの間、抵抗107bによって、時定数 $C \cdot R$ で充電され、出力電圧 v_{0107} がローレベルの間は、放電用定電流源107dによって、時定数 $C \times \Delta v_{0107} / I$ で放電される。なお、各時定数の式において、Cは、コンデンサ107cの容量、Rは、抵抗107bの抵抗値、 Δv_{0107} は、放電によるコンデンサ107cの両端電圧 v_{0107} の電圧変化をそれぞれ示している。この結果、コンデンサ107cの両端電圧 v_{0107} は、図13の(g)に示すように、コンパレータ106の出力電圧 v_{0106} がハイレベルの期間に上昇し、ローレベルの期間に下降する。

【0007】さらに、復調用コンパレータ108は、抵抗108aおよび108bによって、電源電圧 V_{cc} を分圧して生成した基準電圧 v_{01} と、コンデンサ107cの両端電圧 v_{0107} とを比較して、両端電圧 v_{0107} の方が大きい間、ハイレベルの信号を出力する。この結果、光信号復調装置は、図13の(h)に示すように、図13の(a)に示すパルス幅 T_{01} のコード信号に対応して、パルス幅 T_{02} のコード信号を復調する。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の構成の光信号復調装置では、図12に示す復調用積分回路107がコンパレータ106の出力信号 $v_{0.00}$ へ忠実に応答しない。したがって、復調用コンパレータ108の出力、すなわち、光信号復調装置の復調信号において、パルス幅 $T_{0.0}$ は、所望のパルス幅 $T_{0.0}$ と一致せず、パルス幅歪みが発生するという問題を生じている。

【0009】また、例えば、赤外線を用いたリモコンなどでは、主要なノイズ源として、商用電源周波数にて点灯している蛍光灯が挙げられるが、上記復調用積分回路107を構成する抵抗107bおよびコンデンサ107cの値が小さくバラついた場合、光信号復調装置は、光コード信号と上記光ノイズとを判別できず、誤動作する虞れがある。特に、上記抵抗107bおよびコンデンサ107cを集積回路中に構成した場合、それぞれの値のバラツキが大きいため、誤動作を起こしやすく、問題の解決が重要な課題となっている。

【0010】本発明は、上記の問題点を鑑みてなされたものであり、その目的は、送信したコード信号のパルス幅を正確に復調でき、誤動作を起こしにくい光信号復調装置を実現することにある。

【0011】

【課題を解決するための手段】請求項1の発明に係る光信号復調装置は、上記課題を解決するために、特定周波数のパルスによって変調された光コード信号を受信する受光素子と、上記受光素子の検出信号から、上記特定周波数を弁別する弁別手段と、上記弁別手段の弁別信号をパルス信号に変換する変換手段とを有する光信号復調装置において、以下の手段を講じたことを特徴としている。

【0012】すなわち、クロック信号を生成するクロック信号生成手段と、上記クロック信号生成手段が生成するクロック信号を上記パルス信号に同期させる同期制御手段と、上記クロック信号に基づいて動作し、該クロック信号に同期した上記パルス信号のパルス数を数え、数えたパルス数が所定の下限値を越えた場合、パルス数に応じたパルス幅のコード信号を出力する計数手段とを備えている。

【0013】上記構成において、例えば、フォトダイオードなどからなる受光素子は、光コード信号を受光する。弁別手段は、該受光素子の検出信号から、特定周波数を弁別する。これにより、該特定周波数のパルスにて変調された光コード信号の成分が取り出される。さらに、変換手段は、弁別手段の出力信号を整形して、パルス状の信号に変換する。

【0014】同期制御手段は、例えば、出力変化などから、パルス信号の位相を識別し、クロック信号生成手段は、該同期制御手段の指示に基づき、生成するクロック信号を該パルス信号と同期させる。これにより、クロッ

ク信号生成手段は、上記パルス信号に同期したクロック信号を生成する。

【0015】例えば、シフトレジスタ回路などから構成される計数手段は、上記クロック信号に基づいて動作し、上記パルス信号から、該クロック信号に同期したパルスの数を数える。さらに、計数手段は、計数したパルス数が所定の下限値を越えた場合、該パルス信号を光コード信号と判断し、該パルス数に応じたパルス幅のコード信号を出力する。

10 【0016】上記構成では、計数手段は、クロック信号に同期したパルス信号のパルス数を数えている。したがって、受光素子がノイズを受光して、クロック信号に同期しないパルス信号が生成された場合、あるいは、受光したパルス数が上記下限値に満たない場合、計数手段は、該コード信号を出力しない。この結果、光信号復調装置において、ノイズと信号との分離特性を向上させることができる。

20 【0017】さらに、計数手段は、計数したパルス数に基づいて、出力するコード信号のパルス幅を決定している。したがって、従来の積分回路を用いて包絡線検波する場合のように、該積分回路を構成する抵抗や容量のバラツキによるコード信号のバラツキが発生せず、復調するコード信号のパルス幅を、上記パルス数に対して常に一定にすることができる。この結果、復調信号のパルス幅は、変調する前のパルス幅と同一になり、復調時の波形歪みを削減することができる。

30 【0018】また、請求項2の発明に係る光信号復調装置は、請求項1記載の発明の構成において、上記クロック信号生成手段は、上記クロック信号の基本クロックを生成する発振器を備えており、該発振器には、上記同期制御手段の指示に応じて、出力をリセットするセトリセットフリップフロップ回路が設けられていることを特徴としている。

40 【0019】上記構成では、発振器は、所定の周波数にて発振して、クロック信号の基本クロックを生成している。同期制御手段の指示があると、発振器に設けられたセトリセットフリップフロップ回路は、発振器の出力をリセットする。上記セトリセットフリップフロップ回路は、例えば、2つのNAND回路を用いた簡素な回路で実現できる。したがって、大規模な回路を用いることなく、クロック信号生成手段を構成できる。この結果、光信号復調装置を製作する際のコストを抑えることができる。

50 【0020】さらに、請求項3の発明に係る光信号復調装置は、請求項2記載の発明の構成において、上記クロック信号生成手段は、上記発振器の出力を分周すると共に、上記同期制御手段の指示に応じてリセットされる分周器と、上記発振器の出力と当該分周器の出力とから、クロック信号を生成する出力部とを備えていることを特徴としている。

【0021】上記構成では、分周器は、発振器の生成する基本クロックを分周し、出力部は、該分周器の出力と、基本クロックとから、クロック信号を生成する。また、上記分周器は、上記同期制御手段の指示に応じて、リセットされる。

【0022】ところで、分周器が単に発振器の出力を分周している場合、パルス信号と基本クロックとが同期していても、パルス信号とクロック信号との位相差は、最初のパルス信号が入力した時点での分周器の状態によって、互いに異なる虞れがある。ところが、分周器が同期制御手段の指示に応じて出力をリセットすることによって、分周器を用いた場合でも、パルス信号とクロック信号との位相差を保つことができる。

【0023】また、上記分周器および出力部は、例えば、D型フリップフロップやNAND回路などの簡素な回路で実現できる。したがって、光信号復調装置を製作する際のコストを抑えることができる。

【0024】一方、請求項4の発明に係る光信号復調装置は、請求項1、2、または3記載の発明の構成において、上記クロック信号生成手段の発振周波数と、上記弁別手段が弁別する周波数との双方を決定する外付け抵抗を備えていることを特徴としている。

【0025】それゆえ、外付けの抵抗を用いることによって、集積回路内に設けた抵抗によって決定する場合に比べて、両周波数を精度良く決定することができる。さらに、抵抗の値が僅かにバラついた場合でも、誤差が同一となるので、両周波数の比率を一定にできる。これにより、光信号復調装置の復調時のパルス幅歪みをさらに低減できる。加えて、弁別手段とクロック信号生成手段とで外付け抵抗を共用しているため、個別に設ける場合に比べて、部品点数を削減できる。

【0026】また、請求項5の発明に係る光信号復調装置は、請求項1、2、3、または4記載の発明の構成において、上記計数手段の下限値は、5以上に設定されていることを特徴としている。

【0027】上記構成において、光信号復調装置の主要なノイズ源となる蛍光灯は、通常、5回未満のノイズを発生させるが、計数手段は、5回未満のノイズが入力されても、コード信号を出力しない。したがって、蛍光灯の出すノイズ光に対して応答しない光信号復調装置を実現することができる。

【0028】さらに、請求項6の発明に係る光信号復調装置は、請求項5の構成において、上記計数手段は、上記クロック信号にて動作する下限値に応じた段数のD型フリップフロップからなるシフトレジスタ回路と、該シフトレジスタ回路の出力に基づいて、コード信号を出力する出力論理回路とを備えていることを特徴としている。

【0029】上記構成では、上記シフトレジスタ回路は、下限値の分だけ、入力されるパルス信号を遅延させ

る。出力ゲートは、パルス数が下限値を越えた場合、各段のD型フリップフロップの出力から、コード信号を生成する。上記シフトレジスタ回路および出力論理回路は、例えば、D型フリップフロップと、NAND回路などの基本的な論理回路により実現できる。この結果、精度良くかつバラツキの少ない光信号復調装置を簡易な構成で実現できる。

【0030】

【発明の実施の形態】本発明の一実施形態について図1ないし図11に基づいて説明すると以下の通りである。本実施形態に係る光信号復調装置は、例えば、リモコン装置などに供され、光信号送信装置によって、特定の周波数でパルス変調された光コード信号を復調するために用いられている。

【0031】上記光信号復調装置は、図1に示すように、図示しない光信号送信装置からの光信号を電気信号に変換するフォトダイオード（受光素子）1と、該電気信号を増幅する前置アンプ部2およびACアンプ部3と、該ACアンプ部3の出力信号 v_o から特定の周波数成分を弁別するバンドパスフィルタ（弁別手段）4と、該バンドパスフィルタ4の出力信号 v_o をパルス状の信号 v_o へ変換する積分回路5およびコンパレータ（変換手段）6とを備えている。

【0032】さらに、本実施形態に係る光信号復調装置には、上記コンパレータ6とコンデンサC1を介して接続され、その出力信号 v_o の変化を検出する出力変化検出回路（同期制御手段）7と、発振器81、分周器82、およびNAND回路（出力部）83から構成され、該出力変化検出回路7の指示に従い、上記パルス信号 v_o に同期したクロック信号を生成するクロック生成部（クロック信号生成手段）8と、上記パルス信号 v_o において、該クロック生成部8が生成したクロック信号 v_o と同期したパルス数を数え、パルス数が所定の数を越えた場合、該パルス数に応じたパルス幅のコード信号 v を出力するデジタル計数回路（計数手段）9とが設けられている。加えて、光信号復調装置は、上記バンドパスフィルタ4の中心周波数と、上記発振器81の発振周波数とを決定するために、各回路4・81へ定電流 I_1 を、それぞれ供給する定電流回路10が設けられている。

【0033】上記前置アンプ部2は、フォトダイオード1のカソードが入力側に接続された前置アンプ2aと、該前置アンプ2aの入出力間を接続する帰還用抵抗2bとを備えている。これにより、フォトダイオード1は、外部の光を受光して、受光量の変化を出力電流の変化へと変換し、上記前置アンプ2aは、フォトダイオード1の出力光電流を、電流-電圧変換できる。なお、上記フォトダイオード1のアノードは、接地されている。

【0034】さらに、上記ACアンプ部3は、オペアンプ3aと、該オペアンプ3aの入出力間に設けられた抵

抗3bと、該オペアンプ3aの入力に一端が接続される抵抗3cとを備えている。さらに、当該抵抗3cの他端と上記前置アンプ部2との間には、コンデンサ3dが設けられており、前置アンプ部2とオペアンプ3aとをAC結合している。これにより、ACアンプ部3は、上記前置アンプ部2の出力信号 v_{o1} の交流成分を所定の増幅率で増幅できる。なお、抵抗3bおよび3cの値を、それぞれ R_{3b} 、 R_{3c} とすると、ACアンプ部3の増幅率は、 R_{3b}/R_{3c} となる。

【0035】上記ACアンプ部3の後段に設けられたバンドパスフィルタ4は、例えば、オペアンプなどによって構成されたアクティブフィルタである。該バンドパスフィルタ4の中心周波数は、上記定電流回路10から供給される電流値に基づいて決定される。これにより、ACアンプ部3から入力される信号 v_{o1} から、光コード信号の周波数に応じた特定周波数を弁別できる。

【0036】上記積分回路5は、出力端子と反転入力端子とが互いに接続されたトランスコンダクタンスアンプ（電流出力型差動アンプ）5aを備えており、非反転入力端子の電位、すなわち、バンドパスフィルタ4の出力電圧 v_{o1} に応じた電流値 I_{sc} を出力できる。また、該トランスコンダクタンスアンプ5aの出力端子は、コンデンサ5bを介して接地されている。さらに、該出力端子には、一定値の電流 I_{sc} を供給する定電流源5cが接続される。これにより、コンデンサ5bは、 $I_{sc}-I_{sc}$ によって充電され、 I_{sc} によって放電される。したがって、積分回路5は、上記出力信号 v_{o1} の積分値を、コンデンサ5bの電位差 v_{o2} として出力できる。また、上記定電流源5cの電流値 I_{sc} は、 $I_{sa}-I_{sc}>I_{sc}$ 、すなわち、 $I_{sc}<I_{sa}/2$ に設定されている。

【0037】また、上記コンパレータ6は、オペアンプなどによって実現され、バンドパスフィルタ4の出力信号 v_{o1} と、積分回路5の出力信号 v_{o2} とを比較し、 v_{o1} が大きいかな否かを2値レベルの信号として出力できる。これにより、出力信号 v_{o1} をパルス状の信号 v_{o3} へ変換できる。

【0038】さらに、本実施形態に係る出力変化検出回路7は、上記パルス信号 v_{o3} をコンデンサC1を介して受け取り、立ち上がりなど、上記信号 v_{o3} の出力変化を検出し、後述のクロック生成部8へリセット信号として送出できる。これにより、上記クロック生成部8が出力するクロック信号 v_{o4} と、上記信号 v_{o3} との位相差を調整できる。

【0039】上記クロック生成部8に設けられた発振器81は、定電流回路10より供給される定電流 I_{sa} に基づいて、所定の周波数で発振できる。また、分周器82は、D型フリップフロップによって構成された同期型の分周器であり、上記発振器81の出力を2分周することができる。さらに、NAND回路83は、上記発振器81および分周器82の出力の論理積の否定を取ってクロ

ック信号 v_{o4} を生成できる。上記発振器81および分周器82は、上記出力変化検出回路7からのリセット信号により、リセットされる。これにより、クロック生成部8は、所定の周波数を持ち、かつ、コンパレータ6の出力信号 v_{o3} と位相差のないクロック信号 v_{o4} を生成して、デジタル計数回路9へ出力できる。

【0040】ここで、上記出力変化検出回路7およびクロック生成部8に設けられた発振器81の具体的な構成例について、図2および図3を参照して説明すると、以下の通りである。

【0041】すなわち、図2に示すように、本実施形態に係る発振器81は、所定の時定数で充放電を繰り返し、該発振器81の発振周波数を決定するコンデンサ81aと、該発振器81の電流源となる定電流源81bと、上記コンデンサ81aの両端電圧 v_1 の上限値あるいは下限値となる基準電圧 v_2 および v_3 を生成する定電圧源81cと、上記基準電圧 v_2 あるいは v_3 と、上記両端電圧 v_1 とをそれぞれ比較する第1および第2コンパレータ81d・81eとを備えている。さらに、当該発振器81には、互いにたすき掛けされたNAND回路81f・81gとから構成され、上記両コンパレータ81d・81eによってセットあるいはリセットされるセットリセットフリップフロップ回路（以下では、RS-FF回路と称する）81hと、該RS-FF回路81hの出力に応じて、上記コンデンサ81aの充放電を制御する充放電制御回路81iとが設けられている。

【0042】上記定電流源81bは、互いにベースが接続されたPNP型のトランジスタ Q_{11} ないし Q_{12} からなるカレントミラー回路を備えている。トランジスタ Q_{11} のコレクタとベースとは、互いに接続されており、さらに、図1に示す定電流回路10から所定の定電流 I_{sa} が供給されている。また、トランジスタ Q_{12} のコレクタは、コンデンサ81aを介して接地されており、トランジスタ Q_{11} ないし Q_{12} の各コレクタは、それぞれ、第1コンパレータ81d、第2コンパレータ81e、および、充放電制御回路81iに接続されている。一方、トランジスタ Q_{11} ないし Q_{12} の各エミッタには、電源電圧 V_{cc} が印加される。これにより、定電流源81bは、上記各回路81a・81d・81e・81iへ、定電流 I_{sa} を供給することができる。

【0043】また、定電圧源81cは、ベースとコレクタとが互いに接続されたNPN型のトランジスタ Q_{21} を備えている。該トランジスタ Q_{21} のコレクタには、さらに、電源 V_{cc} が印加されており、そのエミッタは、直列に接続された抵抗 R_{11} ・ R_{12} ・ R_{13} を介して接地されている。したがって、抵抗 R_{11} ・ R_{12} ・ R_{13} に流れる電流は、一定の値、すなわち、 $(V_{cc}-V_{be})/(R_{11}+R_{12}+R_{13})$ に保たれる。なお、上式の V_{be} は、NPN型トランジスタ Q_{21} のベース-エミッタ間電圧である。図2ないし図3に示すトランジスタは、集積回路上に形成

されているため、以下では、各NPN型トランジスタのベース-エミッタ間電圧を特に区別せず、 V_{be} で表す。

【0044】この結果、定電圧源81cは、抵抗 R_{11} と*

$$v_1 = (V_{cc} - V_{be}) \times (R_{12} + R_{13}) / (R_{11} + R_{12} + R_{13}) \cdots (1)$$

$$v_2 = (V_{cc} - V_{be}) \times R_{13} / (R_{11} + R_{12} + R_{13}) \cdots (2)$$

一定の値に維持することができる。

【0045】さらに、第1コンパレータ81dは、比較対象である電圧 v_1 あるいは v_2 が、それぞれのベースに印加されるトランジスタ Q_{21} および Q_{22} と、カレントミラー回路を構成し、両トランジスタ $Q_{21} \cdot Q_{22}$ のコレクタから、トランジスタ Q_{21} のコレクタが出力する電流と同一量の電流を吸収するNPN型のトランジスタ $Q_{23} \cdot Q_{24}$ と、上記トランジスタ Q_{23} のコレクタにベースが接続され、トランジスタ Q_{21} よりもトランジスタ Q_{22} の方が多量の電流を流した場合に導通するトランジスタ Q_{25} とを備えている。

【0046】上記トランジスタ Q_{21} のベースは、コンデンサ81aを介して接地されており、トランジスタ Q_{22} のベースは、定電圧源81cの抵抗 R_{11} および R_{12} の接続点に接続されている。これにより、両トランジスタ $Q_{21} \cdot Q_{22}$ のベースには、比較対象であるコンデンサ81aの両端電圧 v_1 、および、定電圧源81cにて生成したコンデンサ81aの上限電圧 v_2 がそれぞれ印加される。

【0047】また、トランジスタ Q_{21} および Q_{22} のエミッタは、定電流源81bに設けられたトランジスタ Q_{11} のコレクタに接続されている。一方、両トランジスタ Q_{21} および Q_{22} のコレクタは、上記トランジスタ Q_{23} あるいは Q_{24} のコレクタへ、それぞれ接続されている。該トランジスタ Q_{23} のベースとコレクタとは互いに接続されており、両トランジスタ $Q_{23} \cdot Q_{24}$ のエミッタは、接地されている。

【0048】また、トランジスタ Q_{23} において、そのベースは、トランジスタ Q_{22} のコレクタとトランジスタ Q_{24} のコレクタとの交点に接続されており、そのコレクタは、上記RS-FF回路81hのセット端子、すなわち、NAND回路81fの一方の入力へ接続されている。なお、該トランジスタ Q_{25} のエミッタは、接地されている。

【0049】これにより、コンデンサ81aの両端電圧 v_1 と、定電圧源81cにて生成した上限電圧 v_2 とを比較し、上限電圧 v_2 の方が大きい場合に、トランジスタ Q_{25} を導通させる。この結果、NAND回路81fへローレベルの信号を入力して、RS-FF回路81hをセットできる。

【0050】一方、第2コンパレータ81eは、上述した第1コンパレータ81dと同様の構成であり、トランジスタ Q_{21} ないし Q_{22} に対応して、トランジスタ Q_{23} ないし Q_{24} を備えている。ただし、第2コンパレータ81eでは、上記トランジスタ Q_{23} のベースは、定電圧源8

* R_{11} との接続点の電位 v_1 、および、抵抗 R_{11} と R_{12} との接続点の電位 v_2 を、下式(1)および(2)に示すように、

1cに設けられた抵抗 R_{12} と R_{13} との接続点に接続されており、トランジスタ Q_{23} のベースは、上記コンデンサ81aの接地していない方の端部81jへ接続されている。また、トランジスタ Q_{23} のコレクタは、RS-FF回路81hのリセット端子、すなわち、NAND回路81gの入力の一方へ接続される。なお、それ以外の接続は、第1コンパレータ81dと同様である。

【0051】これにより、第2コンパレータ81eは、コンデンサ81aの両端電圧 v_1 、および、定電圧源81cにて生成される下限電圧 v_2 を比較して、 $v_1 < v_2$ の場合、トランジスタ Q_{25} を導通させて、NAND回路81gへローレベルの信号を印加し、RS-FF回路81hのリセットできる。

【0052】また、上記RS-FF回路81hにおいて、両NAND回路81f・81gは、互いにたすき掛けされており、RS-FF回路81hの出力となるNAND回路81fの出力は、NAND回路81gの入力の一方へ接続され、NAND回路81gの出力は、NAND回路81fの入力の一方へ接続されている。したがって、NAND回路81fの他方の入力、RS-FF回路81hのセット端子となり、NAND回路81gの他方の入力、リセット端子となる。さらに、これらセット端子およびリセット端子は、上述のように、上記第1あるいは第2コンパレータ81d・81eと接続されている。

【0053】上記充放電制御回路81iは、互いにベースが接続されたNPN型のトランジスタ Q_{31} ないし Q_{32} と、上記NAND回路81gの出力に応じて導通し、このカレントミラー回路の動作/動作停止を制御するNPN型のトランジスタ Q_{33} とを備えている。上記トランジスタ Q_{31} において、互いに接続されたコレクタおよびベースは、定電流源81bに設けられたトランジスタ Q_{11} のコレクタへ接続されている。また、トランジスタ Q_{31} および Q_{32} において、両者のコレクタは、コンデンサ81aの端部81jへと接続されている。上記トランジスタ Q_{31} ないし Q_{32} により、カレントミラー回路が形成される。さらに、上記トランジスタ Q_{33} において、コレクタは、上記トランジスタ Q_{31} のコレクタと上記トランジスタ Q_{31} のコレクタとの接続点へ、ベースは、上記NAND回路81gの出力へそれぞれ接続されている。なお、各上記トランジスタ Q_{31} ないし Q_{32} のエミッタは、それぞれ接地されている。

【0054】これにより、RS-FF回路81hの反転出力、すなわち、NAND回路81gの出力がローレベルの場合、トランジスタ Q_{33} が遮断され、トランジスタ

Q_{11} ないし Q_{12} からなるカレントミラー回路が動作する。この結果、トランジスタ Q_{12} および Q_{13} のコレクタからは、トランジスタ Q_{11} へ流れる電流量、すなわち、定電圧源 81b より供給される電流値 I_{10} と同一の電流が吸収される。したがって、充放電制御回路 81i がコンデンサ 81a から吸収する電流量 I_{11} は、 $2 \times I_{10}$ となる。

【0055】ところで、コンデンサ 81a には、上記定電圧源 81b から、一定の電流 I_{10} が常時供給されている。したがって、充放電制御回路 81i が電流を吸収している間、コンデンサ 81a からは、一定の電流 $I_{10} - I_{11}$ 、すなわち、 I_{10} が放電され、充放電制御回路 81i が電流を吸収していない間は、一定の電流 I_{10} がコンデンサ 81a へ充電される。この結果、充放電制御回路 81i は、NAND 回路 81g の出力に応じて、コンデンサ 81a を充電する可否を制御できる。

【0056】一方、図 3 に示すように、出力変化検出回路 7 は、図 1 に示すコンパレータ 6 の出力変化を検出する比較部 71 と、上記発振器 81 に設けられたコンデンサ 81a の端部 81j へ接続され、リセット時に導通して、該端部 81j の電位を下げるトランジスタ Q_{11} と、該トランジスタ Q_{11} のベースへ定電圧を印加する定電圧源 72 と、当該比較部 71 の出力に応じて、上記トランジスタ Q_{11} の導通/遮断を制御する出力制御回路 73 とを備えている。また、比較部 71 の出力は、分周器 82 のリセット端子に接続された NPN 型のトランジスタ Q_{12} のベースに接続されている。これにより、上記コンパレータ 6 の出力電圧 v_{00} の変化を比較部 71 が検出した場合、上記トランジスタ Q_{12} を導通させて、分周器 82 をリセットできる。さらに、出力制御回路 73 の指示により、トランジスタ Q_{11} が導通する。この結果、コンデ

$$v_{072} = R_{12} \cdot (V_{cc} - V_{12}) / (R_{11} + R_{12}) \quad \dots (3)$$

となる。

【0059】上記基準電圧 v_{072} は、トランジスタ Q_{11} が導通した場合、そのエミッタ電位 v_{071} 、すなわち、上記コンデンサ 81a の両端電圧 v_1 が、図 2 に示す定

$$v_{072} - V_{12} < v_1$$

に設定される。

【0060】上記出力制御回路 73 は、互いにベースが接続された NPN 型のトランジスタ Q_{12} および Q_{13} を備えている。トランジスタ Q_{12} のベースとコレクタとは、互いに接続されており、該ベースには、上記比較部 71 の出力電圧 v_{071} が印加される。また、トランジスタ Q_{12} のコレクタは、上記トランジスタ Q_{11} のエミッタに接続されている。なお、両トランジスタ Q_{12} および Q_{13} のエミッタは、接地されている。これにより、比較部 71 の出力電圧 v_{071} がハイレベルの場合、出力制御回路 73 が導通して上記トランジスタ Q_{11} をバイアスできる。

【0061】この結果、出力変化検出回路 7 は、図 1 に示すコンパレータ 6 の出力電圧 v_{00} が立ち上がった場

合、発振器 81 の両端電圧 v_1 を下げて、発振器 81 をリセットすることができる。

【0057】上記比較部 71 は、直列に接続された抵抗 R_{11} および R_{12} によって、電源電圧 V_{cc} を分圧して生成した基準電圧 v_{11} と、上記コンパレータ 6 の出力電圧 v_{00} とを比較する変化検出コンパレータ 71a を備えている。該変化検出コンパレータ 71a の反転入力端子は、上記抵抗 R_{11} と R_{12} との接続点に接続されており、非反転入力端子は、コンデンサ C1 を介して、上記コンパレータ 6 と接続されている。また、非反転入力端子と、コンデンサ C1 との接続点は、バイアス抵抗 R_{13} を介して電源電圧 V_{cc} へ接続されると共に、バイアス抵抗 R_{14} を介して接地されている。上記各抵抗 R_{11} ないし R_{14} の抵抗値は、 $R_{11} / (R_{11} + R_{12}) < R_{12} / (R_{11} + R_{12})$ に設定されている。さらに、変化検出コンパレータ 71a は、抵抗 R_{13} を介して、分周器 82 に接続されたトランジスタ Q_{12} および出力制御回路 73 に接続されている。この結果、比較部 71 は、上記出力電圧 v_{00} が立ち上がった場合、上記トランジスタ Q_{12} および出力制御回路 73 へ、ハイレベルの信号を出力し、それ以外の場合、ローレベルの信号を出力することができる。

【0058】また、上記定電圧源 72 は、図 2 に示す定電圧源 81c と略同様に、電源電圧 V_{cc} に接続された NPN 型のトランジスタ Q_{11} が、直列に接続された抵抗 R_{11} および R_{12} を介して接地されている構成である。この結果、定電圧源 72 は、抵抗 R_{11} と R_{12} との接続点、すなわち、上記トランジスタ Q_{11} のベースの電位を一定の電位 v_{072} に維持することができる。当該基準電圧 v_{072} は、トランジスタ Q_{11} のベース-エミッタ間電圧を V_{12} とすると、下式 (3) のように、

※電圧源 81c にて生成したコンデンサ 81a の下限電圧 v_1 よりも低くなるように設定される。したがって、トランジスタ Q_{11} のベース-エミッタ間電圧を V_{12} とすると、基準電圧 v_{072} は、下式 (4) のように、

$$\dots (4)$$

合、発振器 81 に設けられたコンデンサ 81a の端部 81j の電位を v_{071} まで下げて、該発振器 81 をリセットできる。

【0062】また、本実施形態に係るデジタル計数回路 9 は、図 4 に示すように、直列に接続された D 型フリップフロップ 91a ないし 91e からなるシフトレジスタ部 (シフトレジスタ回路) 91 と、シフトレジスタ部 91 の出力に基づいて、コード信号を復調する出力ゲート回路 (出力論理回路) 92 と、上記シフトレジスタ部 91 を初期化するインシャルリセット回路 93 とを備えている。

【0063】上記シフトレジスタ部 91 において、初段の D 型フリップフロップ 91a では、上記コンパレータ

13

6が出力するパルス信号 v_{00} がD入力へ印加され、次段以降のD型フリップフロップ91bないし91eにおいては、前段のQ出力がD入力へ印加される。また、D型フリップフロップ91aないし91eのクロック入力、ローアクティブであり、各段のクロック入力(CK)には、上記クロック生成部8にて生成されたクロック信号 v_{00} がそれぞれ印加される。

【0064】これにより、シフトレジスタ部91は、クロック信号 v_{00} の立ち下がり毎に、記憶したデータを1段ずつ後段へシフトして記憶し、初段には、パルス信号 v_{00} を記憶させることができる。また、次の立ち下がりまでの間、シフトレジスタ部91の各段は、それぞれデータを保持しており、当該データをQ出力より出力している。

【0065】上記出力ゲート回路92は、上記D型フリップフロップ91aないし91eのQ出力、全てのNANDを取る5入力NAND回路92aと、全てのQ出力のORを演算する5入力OR回路92bと、セットリセットフリップフロップ(以下では、RS-FFと称する)92cとを備えている。上記RS-FF92cは、2つのNAND回路92d・92eをたすき掛けして構成されており、5入力NAND回路92aの出力 v_{001} をセット入力とし、5入力OR回路92bの出力 v_{002} をリセット入力としている。なお、上記セットおよびリセット入力は、共にローアクティブである。

【0066】これにより、出力ゲート回路92の出力 v のレベルは、5入力OR回路92bの出力 v_{002} がハイレベルの期間中に、5入力NAND回路92aの出力 v_{001} がローレベルに変化した場合、ハイレベルにな

$$I_{10} = (V_{cc} - V_{be}) / R1$$

外付け抵抗R1によって決定される。なお、上式において、 V_{be} は、トランジスタQ1のベース-エミッタ間電圧である。

【0069】上記構成において、光信号復調装置が光コード信号を受信した場合における各部の動作を図5ないし図7を参照して説明すると以下の通りである。

【0070】すなわち、図示しない光信号送信装置は、図5の(a)に示すように、 T_{10} の期間ハイレベルにあるコード信号を所定の周波数のパルスによって変調する。さらに、光信号送信装置は、図5の(b)に示すように、例えば、赤外線などを用いて、変調された信号を光コード信号として送信する。

【0071】図1に示す光信号復調装置において、前置アンプ部2は、フォトダイオード1を用いて上記光コード信号を電気信号へと変換し、図5の(c)に示すように、出力電圧 v_{00} の変化として出力する。さらに、図5の(d)に示すように、ACアンプ部3は、該出力信号 v_{00} の交流成分を増幅する。

【0072】バンドパスフィルタ4は、ACアンプ部3の出力信号 v_{00} から、特定の周波数の成分を弁別する。

14

＊る。さらに、出力ゲート回路92は、 v_{001} がハイレベルで、 v_{002} がハイレベルの期間中、出力 v のレベルを維持する。 v_{002} がローレベルになると、出力ゲート回路92は、その出力 v をローレベルにする。

【0067】また、上記イニシャルリセット回路93は、D型フリップフロップ91aないし91eのリセット入力(R)へ接続されている。これにより、例えば、電源投入時に、イニシャルリセット回路93は、シフトレジスタ部91が現在記憶しているデータをクリアできる。この結果、シフトレジスタ部91の出力と、これに基づき算出されるデジタル計数回路9の出力 v とは、コード信号の非受信状態と同一になる。

【0068】さらに、本実施形態に係る定電流回路10は、外付け抵抗R1と、NPN型のトランジスタQ1ないしQ3から構成されたカレントミラー回路とを備えており、外付け抵抗R1によって決められた一定の電流を上記バンドパスフィルタ4および発振器81へ供給できる。上記トランジスタQ1ないしQ3は、ベースが互いに接続されており、エミッタは、それぞれ接地されている。また、トランジスタQ1のコレクタは、ベースと接続されている。当該コレクタには、上記外付け抵抗R1を介して電源電圧 V_{cc} が印加される。また、トランジスタQ2のコレクタは、バンドパスフィルタ4へ、トランジスタQ3のコレクタは、上記発振器81へ接続されている。これにより、カレントミラー回路が形成され、定電流回路10は、バンドパスフィルタ4および発振器81へ、一定の電流 I_{10} を供給できる。上記定電流 I_{10} は、下式(5)に示すように、

$$\dots (5)$$

この結果、図5の(e)中、実線で示すように、バンドパスフィルタ4は、略正弦状の信号 v_{00} を出力する。なお、バンドパスフィルタ4の通過帯域は、定電流回路10からバンドパスフィルタ4へ供給される電流量 I_{10} によって決定される。

【0073】また、積分回路5は、上記出力信号 v_{00} を積分する。積分回路5において、トランスコンダクタンスアンプ5aの出力電流を I_{10} 、定電流源5cが供給する電流を I_{1c} とすると、コンデンサ5bの充電は、 $I_{10} - I_{1c}$ 、放電は、 I_{1c} によって行われる。したがって、放電する際の時定数は、 $(C_{10} \times \Delta v_{00}) / I_{1c}$ となり、充電する際の時定数は、 $(C_{10} \times \Delta v_{00}) / (I_{10} - I_{1c})$ となる。さらに、定電流源5cの電流値は、 $I_{10} - I_{1c} < I_{1c}$ に設定されているので、放電の時定数は、充電の時定数よりも大きくなる。したがって、図5の(e)中、破線で示すように、積分回路5の出力電圧 v_{00} は、パルス変調コード信号を受信する度に上昇する。この結果、後段のコンパレータ6におけるノイズマージンを上昇させることができる。

【0074】コンパレータ6は、バンドパスフィルタ4

の出力電圧 v_{01} と、積分回路5の出力電圧 v_{02} とを比較して、図5の(f)に示すように、 v_{01} が大きい場合は、ハイレベル、 v_{01} が小さい場合は、ローレベルとなるパルス状の信号 v_{03} を出力する。該パルス状の信号 v_{03} は、出力変化検出回路7およびデジタル計数回路9へ伝送される。

【0075】上記出力変化検出回路7は、上記パルス状の信号 v_{03} の立ち上がりを検出し、各立ち上がり時点において、クロック生成部8に設けられた発振器81および分周器82へ同期信号として供給する。

【0076】一方、上記発振器81において、図6の(c)に示すように、同期信号が入力されない間(t_4 までの期間)、所定の周期で発振している。また、分周器82は、図6の(d)に示すように、該発振器81の出力信号 v_{01} を分周している。なお、本実施形態に係る発振器81の内部動作については、図2および図3を参照して、後で詳細に説明する。

【0077】 t_4 の時点において、出力変化検出回路7から発振器81へ同期信号が入力されると、発振器81は、リセットされる。これにより、上記出力信号 v_{01} の立ち下がり、以降のパルス信号 v_{03} の立ち上がりと一致する。

【0078】また、分周器82もリセットされる。これにより、分周器82の出力信号 v_{02} は、最初のパルス信号 v_{03} の立ち上がり時をハイレベルとして、上記出力信号 v_{03} の立ち下がり毎に反転し、上記出力信号 v_{01} を2分周する。

【0079】さらに、NAND回路83は、図6の(e)に示すように、上記両出力信号 v_{01} および v_{02} の論理積の否定を取る。これにより、NAND回路83は、パルス信号 v_{03} の出力変化に同期したパルス波形 v_{04} をデジタル計数回路9へ送出する。

【0080】デジタル計数回路9は、図7の(a)に示すパルス信号 v_{04} を入力とし、図7の(b)に示すクロック信号 v_{05} をクロック信号として動作している。デジタル計数回路9において、シフトレジスタ部91に設けられたD型フリップフロップ91aないし91eは、クロック信号 v_{05} の次の立ち下がり時の入力信号を、クロック信号 v_{05} の次の立ち下がり時まで保持し、出力している。初段のD型フリップフロップ91aは、 v_{04} を入力信号としており、次段以降のD型フリップフロップ91bないし91eは、前段のD型フリップフロップ91aないし91dのQ出力を入力としている。

【0081】したがって、図7の(c)に示すように、D型フリップフロップ91aは、クロック信号 v_{05} の各立ち下がり時点においてパルス状の信号 v_{06} がハイレベルの期間、ハイレベルとなる。この結果、クロック信号 v_{05} に同期したパルス状の信号 v_{06} のパルス数に応じたパルス幅の信号 v_{07} が得られる。さらに、D型フリップフロップ91bないし91eは、図7の(d)ないし

(g)に示すように、上記信号 v_{07} を、1クロックずつ遅延させた信号 v_{08} ないし v_{09} を出力する。

【0082】さらに、5入力NAND回路92aは、図7の(h)に示すように、上記各信号 v_{07} ないし v_{09} の論理積の否定を取り、5入力OR回路92bは、図7の(i)に示すように、該信号の v_{07} ないし v_{09} の論理和を取る。RS-FF92cは、上記5入力NAND回路92aの出力信号 v_{10} をセット信号、5入力OR回路92bの出力信号 v_{11} をリセット信号として動作し、図7の(j)に示すように、パルス幅 T_{01} の出力信号 v_{12} を出力する。

【0083】該出力信号 v_{12} は、図5の(a)に示すコード信号を、図5の(b)に示すパルス変調コード信号5発分だけ、遅延したパルス波形となっており、そのパルス幅 T_{02} は、上記コード信号のパルス幅 T_{01} と同一になっている。

【0084】続いて、発振器81内部の動作について、図2を参照して、図6に基づき説明すると以下の通りである。

【0085】すなわち、コンデンサ81aの両端電圧 v_1 と、定電圧源81cによって生成される上限電圧 v_2 および下限電圧 v_3 との大小関係が、 $v_1 < v_2$ の場合、図2に示す発振器81の第2コンパレータ81eにおいて、トランジスタ Q_{12} が導通する。この結果、該コンパレータ81eの出力電圧 v_{13} 、すなわち、RS-FF回路81hのリセット入力、ローレベルとなる。

【0086】また、この場合、 $v_1 < v_3$ が常に成立する。したがって、第1コンパレータ81dにおいて、トランジスタ Q_{11} は遮断され、該コンパレータ81dの出力電圧 v_{14} 、すなわち、RS-FF回路81hのセット入力、ハイレベルとなる。

【0087】この結果、RS-FF回路81hは、リセットされ、その出力電圧 v_{12} は、ローレベルとなる。また、RS-FF回路81hの反転出力端子となるNAND回路81gは、ハイレベルの出力電圧 v_{10} を出力する。

【0088】したがって、充放電制御回路81iにおいて、トランジスタ Q_{12} が導通し、トランジスタ Q_{11} ないし Q_{13} からなるカレントミラー回路は、動作しない。この結果、充放電制御回路81iが吸収する電流 I_{01} は、0になり、コンデンサ81aは、定電流源81bのトランジスタ Q_{11} より供給される電流 I_{10} によって充電される。

【0089】充電によって、コンデンサ81aの両端電圧 v_1 が上昇し、 $v_1 \leq v_2 < v_3$ の関係になると、第2コンパレータ81eにおいて、トランジスタ Q_{12} が遮断され、出力電圧 v_{13} は、ハイレベルとなる。また、 $v_1 < v_3$ なので、第1コンパレータ81dの出力電圧 v_{14} は、ハイレベルとなる。したがって、RS-FF回路81hのリセット入力はハイレベル、セット入力は

ハイレベルとなる。この状態では、フリップフロップの特性により、RS-FF回路81hの状態は、前状態のままである。この結果、発振器81の出力電圧 $v_{o,1}$ は、ローレベルのまま保持され、コンデンサ81aへの充電が続けられる(図6のt1からt2までの期間)。

【0090】充電によって、 $v_2 \leq v_1$ となると、第1コンパレータ81dのトランジスタ Q_{11} が導通する。また、第2コンパレータ81eのトランジスタ Q_{12} は、遮断されたままである。この結果、セット入力、ローレベルとなり、リセット入力が高レベルとなり、RS-FF回路81hがセットされる。この結果、発振器81は、ハイレベルの信号 $v_{o,1}$ を送出する。

【0091】一方、RS-FF回路81hのNAND回路81gの出力電圧 $v_{o,11}$ は、ローレベルへと変化する。したがって、充放電制御回路81iにおいて、トランジスタ Q_{13} が遮断し、トランジスタ Q_{14} ないし Q_{15} からなるカレントミラー回路が動作する。この結果、充放電制御回路81iが吸い込む電流 $I_{o,11}$ は、 $2 \times I_{10}$ となる。これにより、コンデンサ81aは、定電流源81bからの入力電流 I_{10} と上記定電流 $I_{o,11}$ との差、すなわち、一定の電流 I_{10} にて放電を開始する(図6のt2の時点)。

【0092】放電によって、コンデンサ81aの両端電圧 v_1 が、 $v_1 \leq v_2 < v_2$ に戻ると、上述したように、RS-FF回路81hは、これまでの状態を維持する。この結果、発振器81の出力電圧 $v_{o,1}$ は、ハイレベルのまま保たれ、コンデンサ81aは、放電を続ける(図6のt2からt3までの期間)。

【0093】コンデンサ81aの両端電圧 v_1 が低下して、再び、 $v_1 < v_2$ になると、RS-FF回路81hは、上述したようにリセットされ(図6に示すt3の時点)、充電を開始する。

【0094】したがって、図6の(a)に示すように、出力変化検出回路7からの同期信号が入力されない場合(t4までの期間)、発振器81は、上述のように、コンデンサ81aの充放電を繰り返して発振を継続し、コンデンサ81aの両端電圧 v_1 は、図6の(b)に示すように、上限電圧 v_2 と下限電圧 v_1 との間で周期的に変化している。

【0095】図2に示す両コンパレータ81d・81eは、コンデンサ81aの両端電圧 v_1 と、上限電圧 v_2 * 40

$$T1 = C_{11} \times (v_2 - v_{o,1}) / I_{10} \quad \dots (6)$$

$$T2 = C_{11} \times (v_2 - v_1) / I_{10} \quad \dots (7)$$

となる。なお、上式中、 C_{11} は、コンデンサ81aの容量である。

【0101】さらに、説明の簡素化のために、図3に示す定電圧源72が生成する基準電圧 $v_{o,2}$ を、 $v_{o,2} =$ *

$$T1 = T2 = C_{11} \times (v_2 - v_1) / I_{10} \quad \dots (8)$$

$$T = 2 \times C_{11} \times (v_2 - v_1) / I_{10} \quad \dots (9)$$

*あるいは下限電圧 v_1 とを比較し、両端電圧 v_1 が v_2 に達したとき、第1コンパレータ81dは、RS-FF回路81hへ、セット信号を送出し、 v_1 が v_2 に達したとき、第2コンパレータ81eは、RS-FF回路81hへリセット信号を送出する。

【0096】この結果、RS-FF回路81h、すなわち発振器81の出力電圧 $v_{o,1}$ は、図6の(c)に示すように、コンデンサ81aの両端電圧 v_1 が上限電圧 v_2 に達する度に、ハイレベルになり、下限電圧 v_1 に達する度に、ローレベルになる。

【0097】一方、パルス信号 $v_{o,11}$ が立ち上がると、図3に示す出力変化検出回路7は、各立ち上がり時点において、トランジスタ Q_{11} を導通させる。これにより、発振器81に設けられたコンデンサ81aの両端電圧 v_1 は、 $v_{o,11}$ まで低下し、発振器81は、リセットされる。なお、このリセット電圧 $v_{o,11}$ は、 $v_{o,11} \leq v_2$ となるように設定されている。

【0098】発振器81がリセットされた状態では、コンデンサ81aの両端電圧 v_1 が $v_1 < v_2 < v_2$ である。したがって、図2に示す両コンパレータ81d・81eは、上述のように、ハイレベルのセット信号、および、ローレベルのリセット信号をRS-FF回路81hへ送出し、コンデンサ81aは、充電を開始する(図6のt4の時点)。

【0099】その後は、発振器81がセットされない場合と同様に、上記両端電圧 v_1 が上限電圧 v_2 に達するまでの間(図6のt4からt5までの期間)、コンデンサ81aには、充電が続けられ、発振器81は、ローレベルの信号 $v_{o,1}$ を出力する。t5の時点になり、上限電圧 v_2 に達すると、コンデンサ81aからは、放電が開始される。そして、両端電圧 v_1 が下限電圧 v_1 まで下降する間(図5のt5からt6までの期間)、コンデンサ81aからは、放電が続けられ、発振器81は、ハイレベルの信号 $v_{o,1}$ を出力する。この結果、発振器81は、パルス信号 $v_{o,11}$ が入力された後は、図6の(c)に示すように、パルス信号 $v_{o,11}$ の立ち上がり毎に、立ち下がる発振器出力 $v_{o,1}$ を生成する。

【0100】コンデンサ81aは、充電期間中、電流値 I_{10} で充電され、放電期間中、 $I_{o,11} - I_{10}$ 、すなわち、 I_{10} にて放電されている。したがって、図6に示す充電期間T1および放電期間T2は、下式(6)および(7)のように、

* $V_{o,2} = v_2$ と設定して、 $v_{o,11} = v_2$ とすると、各期間T1およびT2、ならびに、発振周期Tは、下式(8)

および(9)に示すように、

となる。

【0102】ここで、上述の式(1)および(2)におき

$$v_1 = (2/3) \times (V_{cc} - V_{be})$$

$$v_2 = (1/3) \times (V_{cc} - V_{be})$$

となる。

【0103】さらに、上式(8)ないし(11)、および

$$T1 = T2 = C_{11} \times R1 / 3$$

$$T = (2/3) \times C_{11} \times R1$$

となる。なお、上式(12)および(13)において、式(5)、(10)、および(11)の V_{be} の項が消去できたのは、トランジスタ Q_{11} を挿入したことによる。

【0104】以上のように、本実施形態に係る光信号復調装置は、フォトダイオード1の受信信号から、特定周波数を弁別するバンドパスフィルタ4と、バンドパスフィルタ4の出力信号 v_{01} をパルス信号へ変換する積分回路5およびコンパレータ6とを備えている。さらに、上記光信号復調装置には、クロック信号 v_{02} を生成するクロック生成部8と、該クロック生成部8へ指示して、上記コンパレータ6の出力するパルス信号 v_{01} にクロック信号 v_{02} を同期させる出力変化検出回路7と、パルス信号 v_{01} から、上記クロック信号 v_{02} に同期したパルス数を数え、所定の数を越えた場合、復調信号 v として出力するデジタル計数回路9とが設けられている。

【0105】上記構成では、デジタル計数回路9は、クロック信号 v_{02} に同期した一定数のパルスを受信したとき、パルス数に応じたパルス幅のコード信号 v を出力する。また、クロック信号 v_{02} に同期しないパルスを受信した場合や、パルス数が所定の数に満たない場合、デジタル計数回路9は、復調信号 v を出力しない。この結果、光信号復調装置において、信号とノイズとの分離特性の向上を図ることができる。

【0106】さらに、クロック信号 v_{02} に同期したパルス数によって、復調信号 v のパルス幅を決定している。したがって、従来の積分回路を用いて包絡線検波する場合のように、該積分回路を構成する抵抗や容量のバラツキによるコード信号のバラツキが発生せず、復調したコード信号のパルス幅を、上記パルス数に対して常に一定にすることができる。この結果、復調信号のパルス幅は、図示しない光信号送信装置にて変調する前のコード信号と同一になり、復調時の波形歪みを削減することができる。

【0107】また、上記クロック生成部8は、クロック信号 v_{02} の基本パルスを生成する発振器81を備えており、図2に示すように、該発振器81には、出力を、セットあるいはリセットするRS-FF回路81hが設けられている。さらに、上記出力変化検出回路7は、例えば、パルス信号 v_{01} の立ち上がりなど、パルス信号 v_{01} の出力変化を検出して、上記RS-FF回路81hをリセットする構成である。上記RS-FF回路81hは、2つのNAND回路81f・81gによって実現できる

※いて、 $R_{11} = R_{12} = R_{13}$ とすると、

$$\dots (10)$$

$$\dots (11)$$

※び、式(5)から、各期間T1およびT2、並びに、発振周期Tは、

$$\dots (12)$$

$$\dots (13)$$

ため、大規模な回路を用いることなく、簡素な回路で実現できる。したがって、光信号復調装置を製作する際のコストを抑えることができる。

【0108】さらに、上記クロック生成部8は、上記発振器81の出力を分周する分周器82と、発振器81および分周器82の出力の論理積の否定を取るNAND回路83とを備えており、上記分周器82は、上記発振器81と同様に、上記出力変化検出回路7の指示に応じ、パルス信号 v_{01} の出力変化時にリセットされる。

【0109】ところで、本実施形態に係る分周器82は、図4に示すように、D型フリップフロップ回路により構成されており、立ち下がり毎に出力信号 v_{02} を反転している。したがって、最初の立ち下がり時点において、該D型フリップフロップが1を記憶していれば、図6の(f)に示すように、分周器82の出力信号 v_{02} は、図6の(d)に示す所望の波形を反転した波形となる。この結果、図6の(g)に示すように、NAND回路83が生成するクロック信号 v_{02} は、所望の信号から半周期分位相がズレた信号となる。

【0110】ところが、本実施形態に係る出力変化検出回路7は、発振器81をリセットする度に、分周器82もリセットしている。これにより、分周器82は、図6の(d)に示すように、コンパレータ6の出力信号 v_{01} が立ち上がる度にハイレベルとなる波形 v_{01} を確実に出力できる。この結果、クロック生成部8は、NAND回路83が、図6の(c)に示す発振器81の出力信号 v_{01} と、図6の(d)に示す分周器82の出力信号 v_{02} との論理積の否定をとることによって、図6の(e)に示すように、図6の(a)に示すパルス信号 v の中央部で立ち下がるクロック信号 v_{02} を生成できる。

【0111】また、本実施形態では、例えば、D型フリップフロップなど、簡素な回路で上記分周器82を実現している。したがって、光信号復調装置を製作する際のコストを抑えることができる。

【0112】上記構成に加えて、本実施形態では、図1に示すように、バンドパスフィルタ4および発振器81へ、同一の電流を供給する定電流回路10が設けられている。上記定電流回路10は、集積回路内に生成する抵抗などに比べて高精度の外付けの抵抗R1によって調整された一定の電流 I_0 をバンドパスフィルタ4および発振器81へ供給する。

【0113】この結果、バンドパスフィルタ4の中心周波数および発振器81の発振周波数を精度良く決定することができる。さらに、抵抗の値が僅かにバラついた場合でも、誤差が同一となるので、両周波数の比率を一定にできる。これにより、光信号復調装置の復調時のパルス幅歪みをさらに低減できる。

【0114】また、両周波数を決定する抵抗を共用しているため、個別に設ける場合に比べて、部品点数を削減できる。

【0115】なお、本実施形態に係るデジタル計数回路9では、5段のD型フリップフロップ91aないし91eによって、シフトレジスタ部91を形成しているが、D型フリップフロップの段数、すなわち、デジタル計数回路9が復調信号v。を出力するまでのクロック数は、これに限るものではない。例えば、1段や2段、あるいは、6段や7段でもよい。少なくとも1つのD型フリップフロップを用いることにより上述の効果が得られる。

【0116】ただし、D型フリップフロップの段数は、本実施形態のように、5以上に設定されることが望まれる。赤外線などを用いた光リモコンに光信号復調装置が具備される場合、主要なノイズ源として、蛍光灯が挙げられる。図8に示すように、インパルス性ノイズを発生する蛍光灯の光を受光した場合、図1に示すバンドパスフィルタ4の出力信号v。と、積分回路5の出力信号v。とは、図9に示すように変化し、出力信号v。よりも出力信号v。の方が大きい期間が、最大4回連続して現れる。この結果、図1に示すコンパレータ6の出力電圧v。は、該ノイズによって、最大4回、ローレベルからハイレベルに変化する。

【0117】また、図10に示すように、通常の商用電源周波数にて点灯している蛍光灯を受光した場合は、図1に示す積分回路5において、トランスコンダクタンスアンプ5aの出力電流i。と、定電流源5cの電流値I。との比率を調整することによって、図11に示すように、上記出力信号v。よりも出力信号v。の方が多い期間、すなわち、コンパレータ6の出力するパルス数を、5未満に設定できる。

【0118】いずれの場合であっても、蛍光灯からのノイズによって、コンパレータ6が生成するパルス数は、5回未満である。したがって、図4に示すように、5段以上のD型フリップフロップによりシフトレジスタ部91を形成し、5回以上のパルスがきた場合のみ、出力信号v。を生成することによって、蛍光灯ノイズに対して誤動作しない光信号復調装置を実現できる。

【0119】また、本実施形態に係るデジタル計数回路9には、D型フリップフロップ91aないし91eが設けられているが、これに限るものではない。例えば、カウンタなどを用いて、パルス数を数え、タイマなどによって、該パルス数に応じたパルス幅の復調信号v。を出力してもよい。あるいは、コンピュータが所定のプログ

ラムを実行することによって、同様の動作を行ってもよい。デジタル計数回路9が、パルス信号v。において、クロック信号v。に同期したパルス数を数え、該パルス数に応じたパルス幅のコード信号v。へ復調する構成であれば、本実施形態と同様の効果が得られる。

【0120】ただし、本実施形態のように、D型フリップフロップ91aないし91eによって構成されたシフトレジスタ部91と、各D型フリップフロップ91aないし91eの出力に応じて、復調信号v。を生成する出力ゲート回路92とを備えた場合、例えば、D型フリップフロップと、NAND回路などの基本的な論理ゲートによって、デジタル計数回路9を実現できる。この結果、精度良くかつバラツキの少ない光信号復調装置を簡易な構成で実現できる。

【0121】

【発明の効果】請求項1の発明に係る光信号復調装置は、以上のように、クロック信号を生成するクロック信号生成手段と、上記クロック信号生成手段が生成するクロック信号を受光素子の検出信号に基づいたパルス信号に同期させる同期制御手段と、上記クロック信号に基づいて動作し、該クロック信号に同期した上記パルス信号のパルス数を数え、数えたパルス数が所定の下限値を越えた場合、パルス数に応じたパルス幅のコード信号を出力する計数手段とを備えている構成である。

【0122】上記構成では、計数手段は、パルス数が下限値に満たない場合、あるいは、受光素子がノイズを受光して、クロック信号に同期しないパルス信号が生成された場合は、コード信号を出力しない。この結果、光信号復調装置において、ノイズと信号との分離特性を向上できるという効果を奏する。さらに、計数手段は、計数したパルス数に基づいて、出力するコード信号のパルス幅を決定している。この結果、復調時の波形歪みを削減できるという効果を奏する。

【0123】請求項2の発明に係る光信号復調装置は、以上のように、請求項1記載の発明の構成において、上記クロック信号生成手段は、上記クロック信号の基本クロックを生成する発振器を備えており、該発振器には、上記同期制御手段の指示に応じて、出力をリセットするセトリセットフリップフロップ回路が設けられている構成である。

【0124】それゆえ、大規模な回路を用いることなく、クロック信号生成手段を構成できる。この結果、光信号復調装置を製作する際のコストを低減できるという効果を奏する。

【0125】請求項3の発明に係る光信号復調装置は、以上のように、請求項2記載の発明の構成において、上記クロック信号生成手段は、上記発振器の出力を分周すると共に、上記同期制御手段の指示に応じてリセットされる分周器と、上記発振器の出力と当該分周器の出力とから、クロック信号を生成する出力部とを備えている構

成である。

【0126】それゆえ、クロック信号生成手段に分周器を用いた場合でも、パルス信号とクロック信号との位相差を保つことができる。また、上記分周器および出力部は、例えば、D型フリップフロップやNAND回路などの簡素な回路で実現できる。この結果、光信号復調装置を製作する際のコストを低減できるという効果を奏する。

【0127】請求項4の発明に係る光信号復調装置は、以上のように、請求項1、2、または3記載の発明の構成において、上記クロック信号生成手段の発振周波数と、上記弁別手段が弁別する周波数との双方を決定する外付け抵抗を備えている構成である。

【0128】それゆえ、集積回路内に設けた抵抗によって決定する場合に比べて、両周波数を精度良く決定することができる。この結果、光信号復調装置の復調時のパルス幅歪みをさらに低減できるという効果を奏する。加えて、弁別手段とクロック信号生成手段とで外付け抵抗を共用しているため、個別に設ける場合に比べて、部品点数を削減できるという効果を併せて奏する。

【0129】請求項5の発明に係る光信号復調装置は、以上のように、請求項1、2、3、または4記載の発明の構成において、上記計数手段の下限値は、5以上に設定されている構成である。

【0130】上記構成では、計数手段は、5回未満のノイズが入力されても、コード信号を出力しない。したがって、蛍光灯の出すノイズ光に対して応答しない光信号復調装置を実現できるという効果を奏する。

【0131】請求項6の発明に係る光信号復調装置は、以上のように、請求項5の構成において、上記計数手段は、上記クロック信号にて動作する下限値に応じた段数のD型フリップフロップからなるシフトレジスタ回路と、該シフトレジスタ回路の出力に基づいて、コード信号を出力する出力論理回路とを備えている構成である。

【0132】上記構成では、上記シフトレジスタ回路および出力論理回路は、例えば、D型フリップフロップと、NAND回路などの基本的な論理回路により実現できる。この結果、精度良くかつバラツキの少ない光信号復調装置を簡易な構成で実現できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、光信号復調装置の要部構成を示す回路図である。

【図2】上記光信号復調装置において、発振器の要部構

成を示す回路図である。

【図3】上記光信号復調装置において、出力変化検出回路の要部構成を示す回路図である。

【図4】上記光信号復調装置において、デジタル計数回路の要部を示す回路図である。

【図5】上記光信号復調装置において、上記出力変化検出回路の入力信号を生成する際における各部の動作を示すタイミングチャートである。

【図6】上記出力変化検出回路および発振回路の動作を示すタイミングチャートである。

【図7】上記デジタル計数回路において、復調時における各部の動作を示すタイミングチャートである。

【図8】上記光信号復調装置へ入力されるノイズの一例を示すものであり、インパルス性の蛍光灯ノイズ波形を示す波形図である。

【図9】図8に示す蛍光灯ノイズ波形が入力された際において、上記光信号復調装置の各部波形を示す波形図である。

【図10】上記光信号復調装置へ入力されるノイズの一例を示すものであり、商用電源を用いた蛍光灯ノイズ波形を示す波形図である。

【図11】図10に示す蛍光灯ノイズ波形が入力された際において、上記光信号復調装置の各部波形を示す波形図である。

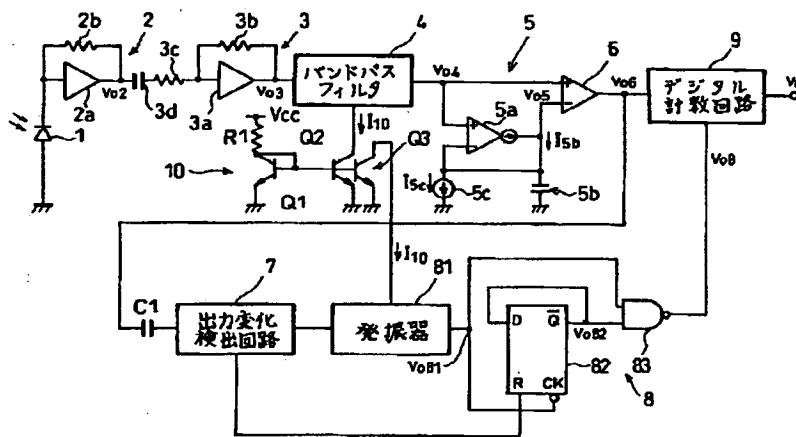
【図12】従来例を示すものであり、光信号復調装置の要部を示す回路図である。

【図13】上記従来の光信号復調装置において、復調時における各部の動作を示すタイミングチャートである。

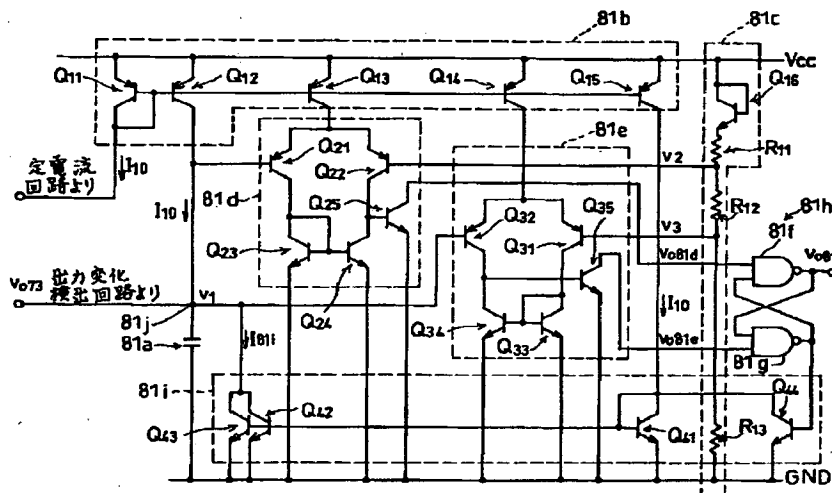
【符号の説明】

- 1 フォトダイオード（受光素子）
- 4 バンドパスフィルタ（弁別手段）
- 6 コンパレータ（変換手段）
- 7 出力変化検出回路（同期制御手段）
- 8 クロック生成部（クロック信号生成手段）
- 9 デジタル計数回路（計数手段）
- 81 発振器
- 81h セットリセットフリップフロップ
- 82 分周器
- 83 NAND回路（出力部）
- 91 シフトレジスタ部（シフトレジスタ回路）
- 91a D型フリップフロップ
- 92 出力ゲート回路（出力論理回路）
- R1 外付け抵抗

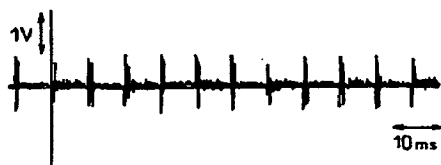
【図1】



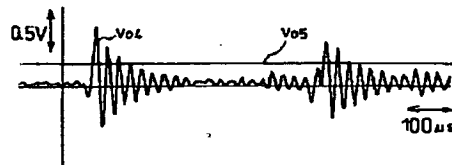
【図2】



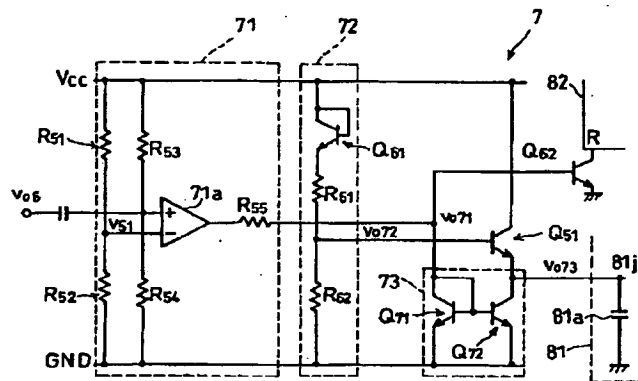
【図8】



【図9】



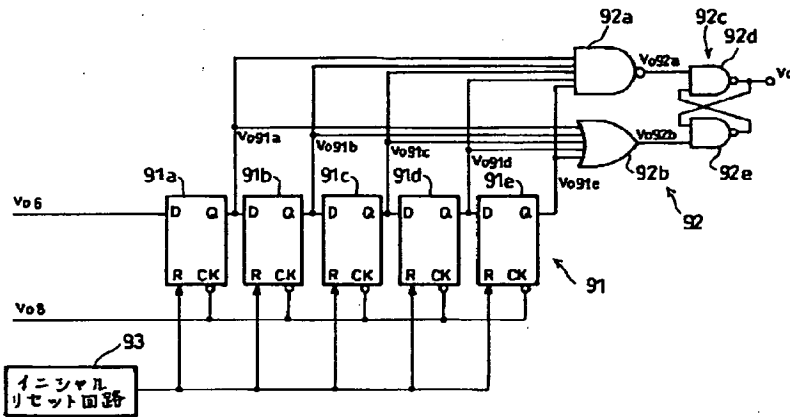
【図3】



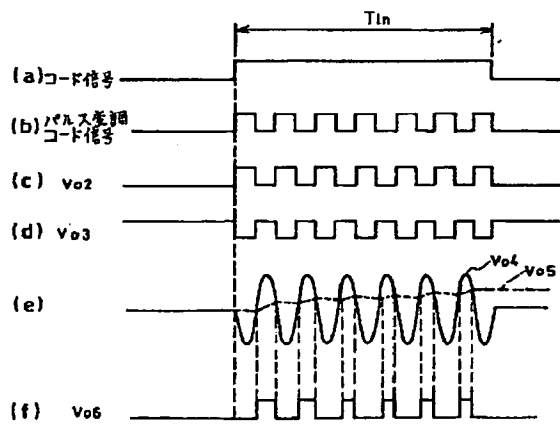
【図10】



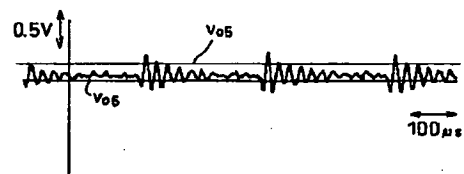
【図4】



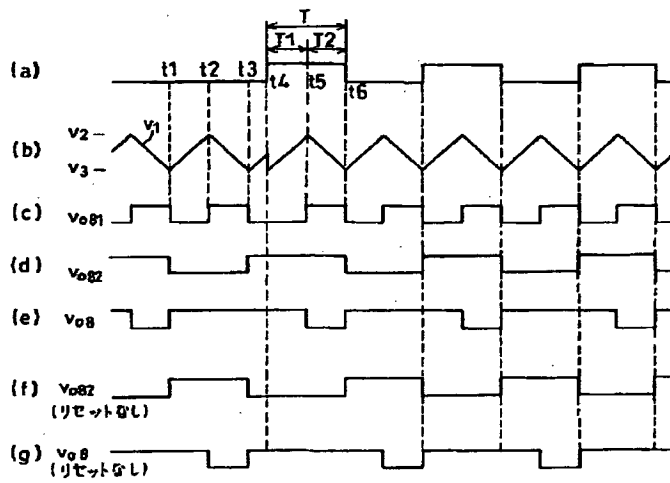
【図5】



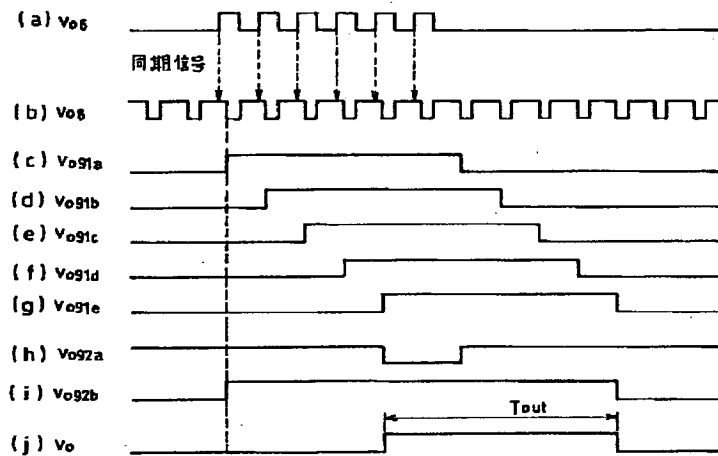
【図11】



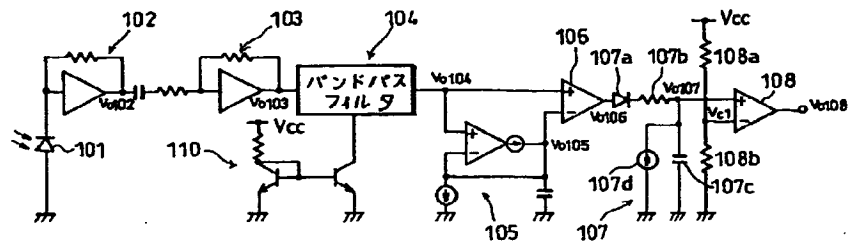
【図6】



【図7】



【図12】



【図13】

